

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 08-221993

(43) Date of publication of application : 30.08.1996

(51) Int.CI.

G11C 16/06
H01L 21/82
H01L 27/115

(21) Application number : 07-014736

(71) Applicant : SEIKO INSTR INC

(22) Date of filing : 31.01.1995

(72) Inventor : ENDO YOICHI
KUBO KAZUAKI
MIYAGI MASAKI

(30) Priority

Priority number : 06307888 Priority date : 12.12.1994 Priority country : JP

06293526 28.11.1994

06 56236 25.03.1994

JP

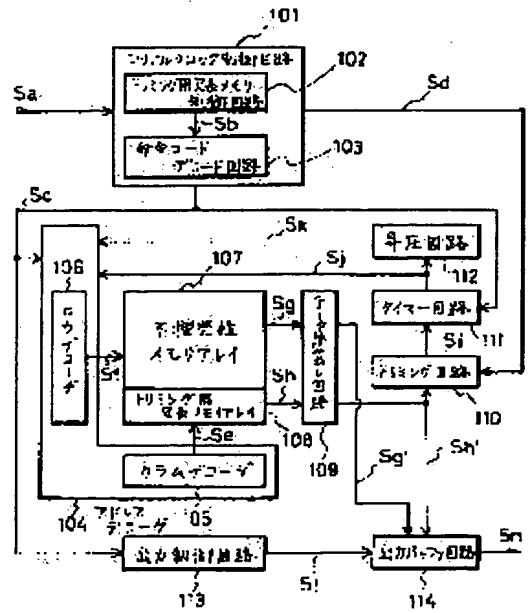
JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, ITS MANUFACTURE AND ITS DRIVING METHOD

(57) Abstract:

PURPOSE: To provide an EEPROM capable of setting an optional write-time.

CONSTITUTION: In an electrically rewritable nonvolatile memory, by providing a timer circuit 111 connected to a trimming circuit 110 and deciding the write-time and a redundant memory array 108 for trimming storing the trimming data sent to the trimming circuit 110 according to the prescribed write-time, the optional write-time is set. Further, a series of calibration operation so that the trimming data are read out from the redundant memory array 108 for trimming to be sent to the trimming circuit, and the timer circuit 110 is set in so that the write-time becomes the prescribed time is performed in parallel to regular write operation. Thus, special command and period for calibration are eliminated, and stable operation is obtained.



LEGAL STATUS

BEST AVAILABLE COPY

[Date of request for examination] 11.03.1996

[Date of sending the examiner's decision of rejection] 18.08.1998

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-221993

(43)公開日 平成8年(1996)8月30日

(51) Int.Cl.⁶ 識別記号 序内整理番号 F I 標記表示箇所
 G 1 1 C 16/06 G 1 1 C 17/00 5 1 0 C
 H 0 1 L 21/82 H 0 1 L 21/82 3 0 9 E
 27/115 27/10 R
 4 3 4

審査請求 有 請求項の数33 OL (全 13 頁)

(21)出願番号	特願平7-14736
(22)出願日	平成7年(1995)1月31日
(31)優先権主張番号	特願平6-307888
(32)優先日	平6(1994)12月12日
(33)優先権主張国	日本(JP)
(31)優先権主張番号	特願平6-293526
(32)優先日	平6(1994)11月28日
(33)優先権主張国	日本(JP)
(31)優先権主張番号	特願平6-56236
(32)優先日	平6(1994)3月25日
(33)優先権主張国	日本(JP)

(71) 出願人 000002325
セイコー電子工業株式会社
千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 遠藤 洋一
東京都江東区亀戸6丁目31番1号 セイコー
電子工業株式会社内

(72) 発明者 久保 和昭
東京都江東区亀戸6丁目31番1号 セイコー
電子工業株式会社内

(72) 発明者 宮城 雅記
東京都江東区亀戸6丁目31番1号 セイコー
電子工業株式会社内

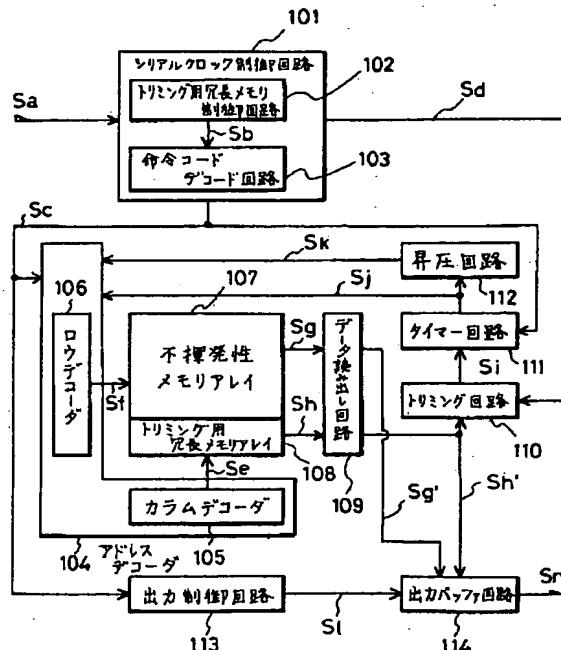
(74) 代理人 弁理士 林 敬之助

(54) 【発明の名称】 半導体集積回路装置、その製造方法及びその駆動方法

(57) 【要約】

【目的】 任意の書き込み時間を設定できるEEPROMを得る。

【構成】 電気的に書き換え可能な不揮発性メモリにおいて、トリミング回路110が接続された書き込み時間を決定するタイマー回路111と、所定の書き込み時間に応じてトリミング回路110に送るトリミングデータを記憶するトリミング用冗長メモリレイ108とを設ける事により、任意の書き込み時間を設定できるようにした。また、トリミングデータをトリミング用冗長メモリ108から読み出し、トリミング回路に送り、書き込み時間を所定の時間になるようタイマー回路110を設定するという一連のキャリブレーション動作を通常の書き込み動作と並列に行うことで、キャリブレーションのための特別の命令や期間を不要にし、かつ安定に動作するようにした。



【特許請求の範囲】

【請求項1】 トリミングデータを記憶する記憶手段と、前記記憶手段から前記トリミングデータを読み出す読み出し手段と、前記読み出されたトリミングデータを入力し、前記トリミングデータに応じて状態が変化するトリミング手段とを有し、前記トリミング手段の状態に応じて半導体集積回路装置の動作が設定されることを特徴とする半導体集積回路装置。

【請求項2】 前記半導体集積回路装置は、外部から信号を入力する制御手段を有し、前記トリミング手段は、前記制御手段からのトリミングデータに応じてその状態が設定され、前記トリミング手段の状態に応じて前記半導体集積回路装置の動作が設定されることを特徴とする請求項1記載の半導体集積回路装置。

【請求項3】 前記制御手段は検出手段を有し、前記検出手段が外部からの特定の信号を検出した時に、前記制御手段は前記トリミング手段に外部トリミングデータを出力することを特徴とする請求項2記載の半導体集積回路装置。

【請求項4】 前記特定の信号は、10ボルト以上の電圧を有することを特徴とする請求項3記載の半導体集積回路装置。

【請求項5】 前記半導体集積回路装置は、前記トリミング手段と接続する時間設定手段を有し、前記トリミング手段の状態に応じて所定の時間を設定することを特徴とする請求項1から4いずれか記載の半導体集積回路装置。

【請求項6】 前記記憶手段は不揮発性メモリ素子からなることを特徴とする請求項1記載の半導体集積回路装置。

【請求項7】 前記不揮発性メモリ素子は電気的書き換え可能な不揮発性メモリ素子であることを特徴とする請求項1乃至6記載の半導体集積回路装置。

【請求項8】 前記半導体集積回路装置はメモリアレイ部を有し、前記メモリアレイ部は実メモリアレイ部と冗長メモリアレイ部とを有し、前記記憶手段は前記冗長メモリアレイ部であることを特徴とする請求項1、6乃至7記載の半導体集積回路装置。

【請求項9】 前記トリミング手段は複数の定電流トランジスタと複数のスイッチングトランジスタとを有し、前記定電流トランジスタは前記スイッチングトランジスタと直列接続し、前記定電流トランジスタの少なくとも1つの端子は前記複数の定電流トランジスタにおいて共通に接続し、かつ、前記時間設定手段と接続し、前記スイッチングトランジスタは前記トリミングデータを入力し、前記トリミング手段は前記トリミングデータに応じて所望の電流を流すことを特徴とする請求項5記載の半導体集積回路装置。

【請求項10】 前記時間設定手段は、定電圧回路と、前記定電圧回路と接続する定電流回路と、前記定電流回

路と接続する電圧比較回路とを有し、前記定電流回路の出力端子は容量素子と接続し、前記電圧比較回路はその一方の端子が基準電圧を入力し、その他方の端子が前記出力端子と接続することを特徴とする請求項5乃至9記載の半導体集積回路装置。

【請求項11】 前記トリミング手段は前記定電圧回路と接続することを特徴とする請求項9記載の半導体集積回路装置。

【請求項12】 前記時間設定手段は定電流回路と電圧比較回路を含み、前記定電流回路はカレントミラー回路を含むことを特徴とする請求項5、9乃至10記載の半導体集積回路装置。

【請求項13】 前記カレントミラー回路は少なくとも2つの定電流トランジスタを有し、前記2つの定電流トランジスタのそれぞれのゲートは互いに電気的に接続し、前記2つの定電流トランジスタの一方の定電流トランジスタの出力端子は前記トリミング手段、および、前記電圧比較回路に接続することを特徴とする請求項12記載の半導体集積回路装置。

【請求項14】 前記トリミング手段は複数の容量と複数のスイッチングトランジスタとを有し、前記容量は前記スイッチングトランジスタと直列接続し、前記容量の少なくとも1つの端子は前記複数の容量において共通に接続し、かつ、前記時間設定手段と接続し、前記スイッチングトランジスタは前記トリミングデータを入力し、前記トリミング手段は前記トリミングデータに応じて所望の容量値に設定されることを特徴とする請求項5記載の半導体集積回路装置。

【請求項15】 前記時間設定手段は定電流回路と電圧比較回路を含み、前記定電流回路はカレントミラー回路を含むことを特徴とする請求項14記載の半導体集積回路装置。

【請求項16】 前記カレントミラー回路は少なくとも2つの定電流トランジスタを有し、前記2つの定電流トランジスタのそれぞれのゲートは互いに電気的に接続し、前記2つの定電流トランジスタの一方の定電流トランジスタの出力端子は前記トリミング手段、および、前記電圧比較回路に接続することを特徴とする請求項14乃至15記載の半導体集積回路装置。

【請求項17】 前記トリミング手段は、複数の定電流トランジスタが並列に構成されるカレントミラー回路と複数のスイッチングトランジスタとを有し、前記個々のスイッチングトランジスタは前記個々の定電流トランジスタのソースにそれぞれ接続し、前記複数の定電流トランジスタのゲートは共通に接続し、前記複数の定電流トランジスタのドレインは共通に接続し、前記スイッチングトランジスタは前記トリミングデータを入力し、前記トリミング手段は前記トリミングデータに応じて所望の電流を流すことを特徴とする請求項5記載の半導体集積回路装置。

【請求項18】 前記時間設定手段は容量素子と電圧比較回路とを含み、前記ドレインは前記容量素子および前記電圧比較回路に接続することを特徴とする請求項17記載の半導体集積回路装置。

【請求項19】 実メモリ部と冗長メモリ部を有する不揮発性メモリ素子と、前記不揮発性メモリ素子を駆動するロウデコーダおよびカラムデコーダと、前記冗長メモリ部と接続するトリミング回路と、前記トリミング回路と接続するタイマー回路とを有する半導体集積回路装置において、

前記実メモリ部を特定するアドレス期間、または、前記実メモリ部へのデータ書き込み期間または前記実メモリ部からのデータ読み出し期間と、前記冗長メモリ部に記憶されたトリミングデータを前記トリミング回路へ書き込む期間とが時間的に並列することを特徴とする半導体集積回路装置。

【請求項20】 前記半導体集積回路装置が待機状態である期間T_Aと、

前記期間T_Aに続く命令コードを取り込む期間T_Bと、前記期間T_Bの後に前記不揮発性メモリ素子の実メモリ部を特定するアドレスを取り込む期間T_Cと、前記期間T_Cの後に前記不揮発性メモリ素子に書き込むデータを取り込む、または、該不揮発性メモリ素子のデータを読み出す期間T_Dとが時系列的に動作するとともに、

前記期間T_D後に、前記ロウデコーダと前記カラムデコーダが前記冗長メモリア部を選択し、前記冗長メモリ部に記憶された前記トリミングデータを、前記期間T_Eと時間的に並列する読み出し動作を行う期間T_Fと、

前記読み出されたトリミングデータが、前記期間T_Fに続き、かつ、前記期間T_Fと時間的に並列して前記トリミング回路へ送られる期間T_Gと、

前記期間T_Gまたは期間T_Hの後に、前記トリミング回路に送られたトリミングデータで決まるデータ書き込み時間で、前記実メモリ部の不揮発性メモリ素子に書き込む、または、読み出す動作を行うことを特徴とする請求項19記載の半導体集積回路装置。

【請求項21】 トリミングデータを記憶する記憶手段と、前記記憶手段から前記トリミングデータを読み出す読み出し手段と、前記読み出されたトリミングデータを入力し、前記トリミングデータに応じて状態が変化するトリミング手段と、前記トリミング手段の状態に応じて動作が設定される半導体集積回路装置の製造方法において、前記トリミング手段を初期状態に設定する工程と、前記記憶手段にトリミングデータを書き込む工程とを有する半導体集積回路装置の製造方法。

【請求項22】 トリミングデータを入力し前記トリミングデータに応じて状態が設定されるトリミング手段と、前記トリミング手段へ外部トリミングデータを出力する制御手段とを有し、前記トリミング手段の状態に応

じて動作が設定される半導体集積回路装置の駆動方法において、

前記制御手段が特定の信号を入力する工程と、前記特定の信号を入力後に前記トリミング手段に外部トリミングデータを書き込み、前記トリミング手段を初期状態に設定する工程と、前記初期状態に応じて前記半導体集積回路装置の初期動作が設定される工程とから成ることを特徴とする半導体集積回路装置の駆動方法。

10 【請求項23】 前記半導体集積回路装置は前記トリミングデータを記憶する記憶手段と、前記記憶手段から前記トリミングデータを読み出す読み出し手段とを有し、前記特定の信号を入力後に前記外部トリミングデータを前記記憶手段に書き込む工程を有することを特徴とする請求項22記載の半導体集積回路装置の駆動方法。

【請求項24】 前記半導体集積回路装置は、前記トリミング手段と接続する時間設定手段と、前記時間設定手段と接続する不揮発性メモリ素子とを有し、前記時間設定手段により前記不揮発性メモリ素子の読み出し書き込みタイミングが設定されるものであって、前記不揮発性メモリ素子の読み出しありは書き込み工程と、前記記憶手段から前記読み出し手段により前記トリミングデータを読み出す工程とが、少なくとも時間的に並列に動作することを特徴とする請求項23記載の半導体集積回路装置の駆動方法。

【請求項25】 トリミング手段と、前記トリミング手段と接続する時間設定手段とを含む半導体集積回路装置の駆動方法において、

前記トリミング手段に外部トリミングデータを書き込み、前記トリミング手段の状態を設定する工程と、前記トリミング手段の状態に応じて時間設定手段により所望の時間を設定する工程を含む半導体集積回路装置の駆動方法。

【請求項26】 トリミングデータを記憶する記憶手段と、前記記憶手段と接続する読み出し手段と、前記読み出し手段と接続するトリミング手段と、前記トリミング手段と接続する時間設定手段とを有する半導体集積回路装置の駆動方法において、

前記記憶手段に記憶されたトリミングデータを読み出す工程と、前記読み出されたトリミングデータに応じて前記トリミング手段の状態を変化させる工程と、前記トリミング手段の状態に応じて時間設定手段により所望の時間を設定する工程とを含むことを特徴とする半導体集積回路装置の駆動方法。

【請求項27】 前記記憶手段を初期状態に設定する工程と、前記トリミングデータを前記記憶手段に書き込む工程とを含むことを特徴とする請求項26記載の半導体集積回路装置の駆動方法。

50 【請求項28】 前記トリミング手段は前記トリミング

データに応じてその流れる電流が設定され、前記時間設定手段は前記タイミング手段を流れる電流に応じて時間を設定することを特徴とする請求項26記載の半導体集積回路装置の駆動方法。

【請求項29】前記タイミング手段は前記タイミングデータに応じてその容量が設定され、前記時間設定手段は前記タイミング手段の容量に応じて時間を設定することを特徴とする請求項26記載の半導体集積回路装置の駆動方法。

【請求項30】前記時間設定手段は定電流トランジスタと、前記定電流トランジスタの出力端子と接続する容量素子と、前記出力端子と接続する電圧比較回路とを含み、

前記定電流トランジスタを介して前記容量素子に電荷を蓄積する工程と、

前記出力端子の電圧が所定の電圧に達した時に、前記電圧比較回路が output 信号を送出する工程とを含むことを特徴とする請求項26記載の半導体集積回路装置の駆動方法。

【請求項31】実メモリ部と冗長メモリ部を有する不揮発性メモリ素子と、前記不揮発性メモリ素子を駆動するロウデコーダおよびカラムデコーダと、前記冗長メモリ部と接続するタイミング回路と、前記タイミング回路と接続するタイマー回路とを有する半導体集積回路装置の駆動方法において、前記半導体集積回路装置を初期状態に設定する工程と、前記冗長メモリ部にタイミングデータを書き込む工程と、

前記書き込まれた冗長メモリ部により前記タイマー回路の時間を設定する工程と、

前記設定された時間によって前記実メモリ部へデータを書き込む、または、前記実メモリ部からデータを読み出す工程からなる半導体集積回路装置の駆動方法。

【請求項32】不揮発性メモリ素子により構成される実メモリアレイと、該実メモリアレイと同様の構成で該実メモリアレイと合意接して配置される冗長メモリアレイと、該冗長メモリアレイに記憶されたタイミングデータに基づいて半導体集積回路装置の動作状態を変化させることのできる手段としてのタイミング回路と、ロウデコーダと、カラムデコーダとを有し、該ロウデコーダと該カラムデコーダにより該冗長メモリアレイを選択した後に該冗長メモリアレイからタイミング情報を該タイミング回路に供給する半導体集積回路装置の駆動方法において、

待機状態である期間 T_A と、期間 T_A に続く命令コードを取り込む期間 T_B と、期間 T_B に続く該実メモリアレイ内の不揮発性メモリ素子のアドレスを取り込む期間 T_C と、期間 T_C に続く該不揮発性メモリ素子に書き込むデータを取り込む、または、該不揮発性メモリ素子のデータを読み出す期間 T_D とが時系列的に動作するととも

に、

該期間 T_C 、または、該期間 T_D と時間的に並列して、該冗長メモリアレイに記憶されたタイミングデータを読み出す期間 T_E と、期間 T_E に続くタイミングデータを該タイミング回路へ供給する期間 T_F からなる半導体集積回路装置の駆動方法。

【請求項33】該タイミング回路が、該タイミング回路によって不揮発性メモリ素子にデータを書き込むための書き込み時間をえることのできるタイマー回路に接続されている半導体集積回路装置の駆動方法において、待機状態である期間 T_A と、期間 T_A に続く命令コードを取り込む期間 T_B と、期間 T_B に続く該実メモリアレイ内の不揮発性メモリ素子のアドレスを取り込む期間 T_C と、期間 T_C に続く該不揮発性メモリ素子に書き込むデータを取り込む期間 T_D とが時系列的に動作するとともに、該期間 T_C および該期間 T_D と時間的に並列して該冗長メモリに記憶されたタイミングデータを読み出す期間 T_E と、該期間 T_E に続くタイミングデータを該タイミング回路へ供給する期間 T_F からなる請求項32記載の半導体集積回路装置の駆動方法。

【発明の詳細な説明】
【0001】
【産業上の利用分野】この発明は、タイミング回路と不揮発性メモリ素子を有する半導体集積回路装置において、タイミングデータを不揮発性メモリ素子に記憶しておき、さらに記憶されたタイミングデータを不揮発性メモリ素子から読みだし、読み出したデータに基づいて半導体集積回路装置の動作状態をえるというキャリブレーション動作を行う半導体集積回路装置に関する。

【0002】

【従来の技術】従来、電気的書換可能な不揮発性メモリ装置（以下EEPROMと称す）においてメモリ素子にデータを書き込む回路として、図9に示す回路構成を使用していた。以下、図に基づいて回路の説明を行う。まず、書き込み信号がタイマー回路901に入力される。タイマー回路901で書き込み動作のタイミングを生成する。タイマー回路901で生成したタイミングに従って昇圧回路902及びアドレステコーダ903が動作して不揮発性メモリアレイ904にデータを書き込む。

【0003】図10に従来のタイマー回路のブロック図を示す。タイマー回路の動作としては、定電流回路1001には容量が含まれ、この容量に一定電流を流して容量に電荷を蓄積する。容量の電位を電圧比較回路であるコンバレータ1002で定電圧回路1003の出力と比較することにより、ある一定の時間を確保することができる。

【0004】

【発明が解決しようとする課題】従来のタイマー回路では、回路定数のばらつきにより書き込み時間は2ms～8msの間で制御されていた。しかし、書き込み時間の

短縮が要求されてきており、1ms以下の書き込み時間を保証することが課題となってきている。従来の回路機構で書き込み時間を1msに設定しようとした場合、プロセスパラメータ、周囲温度、電源電圧のバラツキにより書き込み時間は、0.5ms～2msの広がりを持つために1ms以下の書き込み時間保証をすることができない。

【0005】そこで、この発明の第1の目的は、1ms以下の書き込み時間を保証するために、要求される仕様に応じて任意の書き込み時間を設定できるEEPROMを得ることである。また、一般的に要求される仕様に応じて任意の書き込み時間を設定するためには、各々のデバイスに応じたタイミング情報を用いて各デバイスをキャリブレーションする方法がある。図11は従来のキャリブレーション動作を有する集積回路装置の入力端子に入力される入力信号のシーケンスを示したものである。シーケンスBはタイミングの内容を読み出すための動作シーケンスを記述したものである。

【0006】タイミング回路を有する集積回路装置に電源電圧が投入され、前記集積回路装置の状態が安定するまでの時間が期間T₀。（ここでは、電源が投入されてからパワーオンリセット回路等により回路がリセット状態になるまでの時間を意味する。以下待機状態と称する。）、次に集積回路装置がタイミングの動作をするための命令を取り込む時間がT₁、次にタイミングの内容（以下タイミングデータと称する。）をタイミングデータが記憶された回路より読み出すためのタイミンググリードの時間が期間T₂、次に読み出されたタイミングデータをタイミング回路にセットする時間が期間T₃である。

【0007】上記期間T₀、期間T₁、期間T₂、期間T₃は、前記集積回路装置が自らタイミング内容をタイミング回路へ設定するためのシーケンスである。これを一般的にはキャリブレーションという。このキャリブレーションが終了すると、前記集積回路装置は動作可能状態となる。

【0008】図11では省略したが、続く期間T₄から、通常動作となる。したがって、期間T₀、期間T₁、期間T₂、期間T₃のシーケンスを連続して実行することにより、集積回路装置は動作可能な状態となる。したがってタイミング回路を有する集積回路装置がEEPROM等の被制御デバイスの場合これを駆動するCPUなどの制御デバイスは、前記EEPROM等を動作可能状態にするためのキャリブレーションの時間が一定量必要になるとともに、制御命令としてタイミンググリード命令も新たに追加する必要がある。そのためCPUのマイクロプログラムの負荷が大きくなってしまう。

【0009】図12に示すシーケンスCは、電源電圧が投入され、待機状態である期間T₀からタイミングデータをタイミングデータが記憶された回路より読み出すた

めのタイミンググリード時間である期間T₁が続き、次にタイミングデータをタイミング回路にセットするための時間である期間T₂が続く。

【0010】これは電源電圧が投入された時に前記EEPROM等が有する電源電圧検出回路などにより出力された活性化信号が、タイミンググリード命令を自動的に実行するようになっているために、図11に示したシーケンスBのタイミンググリード命令の期間T₃を省略することができる。

【0011】前記シーケンスBに比べタイミンググリード命令のない分CPUのマイクロプログラムの負荷が軽減できる。しかしながら前記電源電圧検出回路が十分に働かない場合には、タイミングデータをタイミングデータが記憶された回路から読み出す際に動作の安定性に問題が生ずる。そこで、本発明の第2の目的は、キャリブレーション動作を容易にかつ確実に行える半導体集積回路装置を実現することにある。

【0012】

【課題を解決するための手段】上記課題を解決するため、この発明は、以下の手段をとった。第1の手段として、タイミングデータを記憶する手段とタイミングデータを読み出す手段とタイミングデータに基づいて半導体集積回路装置の動作状態を変化させることのできる手段（以下タイミング回路）を半導体集積回路装置に搭載し、前記タイミング回路が強制的に任意の初期状態に設定され、それと同時にその後にタイミングデータが前記タイミングデータを記憶する手段に書き込まれることにより、以後タイミングデータを前記タイミングデータを記憶する手段から前記タイミングデータを読み出す手段によって読み出し、さらに読み出されたタイミングデータで駆動される前記タイミング回路によって所望の動作状態で動作を行うことができる半導体集積回路装置を構成した。また前記半導体集積回路装置のタイミング回路に初めて強制的に任意のタイミングデータを初期状態として設定するといった半導体集積回路装置の製造方法をとった。

【0013】第2の手段として、第1の手段による半導体集積回路装置において、半導体集積回路装置の例えはテスト端子の役割をするような特定の端子に特定の信号が入力した時に、前記タイミング回路が強制的に任意の初期状態に設定され、それと同時にその後にタイミングデータが前記タイミングデータを記憶する手段に書き込まれることにより、以後タイミングデータを前記タイミングデータを記憶する手段から前記タイミングデータを読み出す手段によって読み出し、さらに読み出されたタイミングデータで駆動されるタイミング回路によって所望の動作状態で動作をする半導体集積回路装置を構成した。また前記半導体集積回路装置のタイミング回路に初めて強制的に任意のタイミングデータを初期状態として設定する際に特定の端子に特定の信号を入力する

といった半導体集積回路装置の製造方法をとった。

【0014】第3の手段として、第1及び第2の手段による半導体集積回路装置において、例えばテスト端子の役割をするような特定の入力端子に特定の信号が入力された時のみに前記トリミングデータを記憶する手段に書き込まれているトリミングデータを半導体集積回路装置の外部へ出力する半導体集積回路装置を構成した。

【0015】第4の手段として、第2及び第3の手段で述べた特定の信号が前記半導体集積回路装置の動作電源電圧より高い電圧の時、第2及び第3の手段に記載した動作を行う半導体集積回路装置を構成した。また前記半導体集積回路装置に特定の信号として、例えば12V以上といった前記半導体集積回路装置の動作電源電圧より高い電圧を入力するといった半導体集積回路装置の製造方法をとった。

【0016】第5の手段として、トリミングデータを記憶する手段とトリミングデータを読み出す手段とトリミング回路を有する半導体集積回路装置において、前記トリミングデータを記憶する手段に書き込まれたトリミングデータを、前記トリミングデータを読み出す手段により読みだし、さらに読み出されたトリミングデータで駆動される前記トリミング回路によって前記半導体集積回路の動作状態を所望の状態にするという一連のキャリブレーション動作が、特別の動作命令や特別の動作期間を必要とすること無しに、前記半導体集積回路装置の通常の動作中に隨時並列して行われる半導体集積回路装置を構成した。

【0017】第6の手段として、第1から第5の手段におけるトリミングデータを記憶する手段が不揮発性メモリ素子を構成要素の一部としてトリミングデータを記憶する半導体集積回路装置を構成した。また前記不揮発性メモリ素子にトリミングデータを書き込むといった半導体集積回路装置の製造方法をとった。

【0018】第7の手段として、第6の手段における不揮発性メモリ素子が電気的に書き換え可能である半導体集積回路装置を構成した。また前記電気的書き換え可能な不揮発性メモリ素子(EEPROM)にトリミングデータを書き込むといった半導体集積回路装置の製造方法をとった。

【0019】第8の手段として、第6及び第7の手段による半導体集積回路装置において通常の動作でデータを読み書きされる実メモリアレイを有し、前記実メモリアレイと同様な構成で前記実メモリアレイに合い接して配置される冗長メモリアレイをトリミングデータを記憶するため手段とする半導体集積回路装置を構成した。また前記冗長メモリアレイにトリミングデータを書き込むといった半導体集積回路装置の製造方法をとった。

【0020】第9の手段として、第8の手段による半導体集積回路装置において、前記トリミング回路が、不揮発性メモリ素子で構成される前記実メモリアレイ及び前

記冗長メモリアレイにデータを書き込むための時間を決定するタイマー回路に接続され、前記冗長メモリアレイにデータを書き込むための時間は任意に初期状態として強制的に設定することができ、それと同時に、その後に強制的に設定された書き込み時間を用いて任意のトリミングデータが前記冗長メモリアレイに書き込まれ、以後前記実メモリアレイの書き込みの動作時は、前記冗長メモリアレイに記憶されたトリミングデータを読み出し、読みだしたデータでタイマー時間をトリミングするというキャリブレーション動作を随时並列して行う半導体集積回路を構成した。また前記冗長メモリアレイにトリミングデータとして前記タイマー回路によって決まる不揮発性メモリ素子へのデータ書き込み時間を表すデータを書き込むといった半導体集積回路装置の製造方法をとった。

【0021】第10の手段として、第9の手段による半導体集積回路装置に初期状態として確実に不揮発性メモリ素子にデータを書き込める時間をトリミング回路に強制的に設定し、その後所望のデータ書き込み時間を表すトリミングデータを冗長メモリアレイに書き込むといった半導体集積回路装置の製造方法をとった。

【0022】第11の手段として、第10の手段による半導体集積回路装置に初期状態としてトリミング可能な最長の時間で書き込み動作をおこなうようなトリミングデータをトリミング回路に強制的に設定するといった半導体集積回路装置の製造方法をとった。

【0023】第12の手段として、第9の手段による不揮発性メモリ素子で構成される実メモリアレイと前記実メモリアレイと同様の構成で前記実メモリアレイと合い接して配置される冗長メモリアレイと、前記冗長メモリに記憶されたトリミングデータで駆動されるトリミング回路と、ロウデコーダと、カラムデコーダとを有し、通常の動作手順として待機状態である期間T₀と期間T₁に続く命令コードを取り込む期間T₂と期間T₃の後に前記実メモリアレイ内の不揮発性メモリ素子を特定するアドレスを取り込む期間T₄と期間T₅の後に前記不揮発性メモリ素子に書き込むデータを取り込む、または、前記不揮発性メモリ素子のデータを読み出す期間T₆とが時系列的に動作する手順を必要とする半導体集積回路装置において、前記ロウデコーダと前記カラムデコーダは前記半導体集積回路装置が期間T₀にてデータ書き込み命令を受け取った直後に、前記冗長メモリアレイを選択し、さらに前記冗長メモリアレイに記憶されたトリミングデータを読み出す動作が前記期間T₁と並列に存在する期間T₇で行われ、前記期間T₂及び前記期間T₃の直後に前記ロウデコーダと前記カラムデコーダは、前記期間T₄で選択された前記実メモリアレイ内の当該する不揮発性メモリ素子を選択し、次に先に読み出されたトリミングデータは期間T₅に続きかつ期間T₆と並列に存在する期間T₈でトリミング回路に送られ、次に期

40

間 T_0 及び期間 T_F の直後に期間 T_T でトリミング回路に送られたトリミングデータで決まるデータ書き込み時間で、実メモリアレイ内の不揮発性メモリ素子に前記期間 T_0 で取り込んだデータを書き込む動作を行う半導体集積回路装置を構成し、また前記期間 T_A と期間 T_T と期間 T_B と前記期間 T_0 と期間 T_F からなる手順で不揮発性メモリ素子を構成要素の一部とする半導体集積回路装置を駆動した。

【0024】第13の手段として、第12の手段による半導体集積回路装置において、通常の書き込み動作中に前記冗長メモリアレイから読み出されたトリミングデータが外部に出力されないように制御する出力制御回路を有する半導体集積回路装置を構成した。第14の手段として、第1から第13の手段によるシリアルインターフェイスの電気的書き換え可能な不揮発性メモリ装置をCPU等の制御デバイスと接続した回路を構成した。

【0025】

【作用】第1の手段をとることで、半導体集積回路装置は任意の動作を任意の状態にトリミングでき、また強制的に任意の初期状態に設定することが可能となる。第2から第4の手段のいづれかもしくは複数の手段をとることで、不用意にトリミングデータが書き変わることを防ぐことができる。

【0026】第5の手段をとることで、半導体集積回路装置は特別の期間や特別の動作命令なしでキャリブレーション動作を行うことができる。第6の手段をとることで、トリミングデータを任意に書き込めることが可能となり、電源電圧が印加されなくても前記トリミングデータを保持する事が可能となる。

【0027】第7の手段をとることで、特別なデータの消去装置等を必要とすることなしに何度も電気的にトリミングデータを書き換えることが可能となる。第8の手段をとることで、非常に少ない面積増加や回路規模の増加でトリミングデータを記憶することが可能となる。

【0028】第9及び第12及び第13の手段をとることで、EEPROMへのデータ書き込み時間は、任意の書き込み時間を設定できるため、1ms以下の書き込み時間を保証でき、さらにキャリブレーションのための特別の期間や特別の動作命令が必要ないため従来の製品との互換性もたもて、さらにキャリブレーションも確実に行える。また、通常動作時にはトリミングデータを外部へ出力しないため、本発明では特別に説明はしないが、必要とあれば実メモリアレイのデータを読み出す通常の読みだし動作時も必要な回路のキャリブレーションを行うといった応用をすることもできる。

【0029】第10及び第11の手段をとることで、不揮発性メモリ素子の初期状態がどのようにデータを記憶した状態でも、確実にデータを書き込む時間を設定でき、トリミングデータを記憶することが可能となる。第14の手段をとることで、CPU等の制御デバイスは、

特別の期間や特別の動作命令を必要とすることなくEEPROM等の被制御デバイスのキャリブレーションを行うことが可能となり、マイクロプログラムの負荷が小さくなる。

【0030】

【実施例】以下に、この発明の実施例を図に基づいて説明する。図1は本発明の実施例を示すシリアルインターフェイスEEPROMのブロック図である。図1において、本EEPROMは通常の動作でデータの読み書きを行なう実メモリアレイとしての不揮発性メモリアレイ107とトリミングデータを記憶しておくための冗長メモリアレイ108を有し、また不揮発性メモリ素子へのデータ書き込み時間を決めるタイマー回路111にトリミング回路110が接続されている。

【0031】トリミング回路110はトリミング用冗長メモリアレイ108のデータによりトリミング回路110を流れる電流を制御される。これにより、トリミング回路110はタイマー回路111を制御するトリミング信号S₁を出力する。タイマー回路111の出力は書き込みに必要な高電圧を得るための昇圧回路112とアドレスデコーダ104に接続されており、アドレスデコーダ104にはカラムデコーダ105とロウデコーダ106が含まれている。昇圧回路112の出力もアドレスデコーダ104に接続されている。

【0032】アドレスデコーダ104の出力は実メモリアレイであるところの不揮発性メモリアレイ107とトリミング用冗長メモリアレイ108に接続されており、中に含まれているカラムデコーダ105の出力信号S₂とロウデコーダ106の出力信号S₃により不揮発性メモリアレイ107とトリミング用冗長メモリアレイ108の当該メモリ素子を選択する。

【0033】このような構成において、まずシリアルクロック制御回路101が書き込み動作命令を認識すると、前記シリアルクロック制御回路の出力信号S₄が書き込み信号として、タイマー回路111に入力され、タイマー回路111で生成したタイミングに従って昇圧回路112及びアドレスデコーダ104が動作して不揮発性メモリアレイ107またはトリミング用冗長メモリアレイ108にデータを書き込む。

【0034】しかし、シリコン基板上に回路が形成された直後のまったくの初期状態では、トリミング用冗長メモリアレイのデータは不定であるためタイマー回路の出力信号は不定となり、書き込み時間が不揮発性メモリ素子にデータを書き込むのに不充分となる場合がある。

【0035】そこで、シリアルクロック制御回路101は、入力信号S₄に特別な信号が加わった時に、外部より加えられたトリミングデータをダイレクトトリミング信号S_dとして直接トリミング回路110に送ることができる構成となっている。また図1では、入力信号S₄は1つしか図示していないが、これは複数でもよく、本

実施例ではシリアルインターフェイスのEEPROMにて行っているため、シリアルクロック制御回路には、シリアルクロックが入力される端子とシリアルデータが入出力される端子と、テストモードを指定するためのテスト端子が少なくとも接続されており、テスト端子に前記EEPROMの動作電源電圧以上の例えば12~13V程度の電圧が所定のタイミングで印加されるとテストモードに入り、シリアルクロックに同期してシリアルデータ入力端子より取り込まれたデータが直接タイミング回路に与えられるようになっている。

【0036】図2に、本発明の構成のうちタイマー回路及びタイミング回路に係る第1の実施例を示す。タイミング回路205は、飽和接続された複数個の定電流トランジスタ207が並列に接続されている。これらの定電流トランジスタ207にはスイッチングトランジスタ208がそれ自身直列に接続されている。スイッチングトランジスタ208のゲートはタイミング用冗長メモリアレイ108のデータにより制御される。タイミング回路205の出力は定電圧回路201に接続され、さらに定電流回路202に接続されている。

【0037】書き込み信号が入ると、スイッチングトランジスタ209、210がそれぞれオン、オフとなり定電圧回路201が動作開始する。定電圧回路201の出力電圧はタイミング回路205のタイミング信号に応じた出力となる。すなわち、タイミング回路205のスイッチングトランジスタ208がオンする数が多いほどタイミング回路205に流れる電流は多くなり、定電圧回路201の出力電圧はGNDレベルに近づく。

【0038】逆に、タイミング回路205のスイッチングトランジスタ208がオンする数が少なくなるとタイミング回路205に流れる電流は少なくなり、定電圧回路201の出力電圧はVccレベルに近づく。定電圧回路201の出力電圧はGNDレベルに近づく程定電流回路202に流れる電流は少なくなり、容量206を所定の電圧までチャージアップする時間が長くなる。

【0039】すなわち、タイマー回路出力タイミングが遅くなり書き込み時間は長くなる。定電圧回路201の出力電圧はVccレベルに近づく程定電流回路202に流れる電流は多くなり、容量206を所定の電圧までチャージアップする時間が短くなる。この場合は、タイマー回路出力タイミングが早くなり書き込み時間は短くなる。このとき、並列に接続された定電流トランジスタ207は、それぞれ同じサイズでなくてもよく、複数種類のサイズを用意することでその組み合わせにより、よりきめ細かなタイミングが可能となる。

【0040】タイミングの原理を具体的に説明すると以下のようになる。まず、タイミング回路205に流れる電流I₁は

$$I_1 = \mu C_{ox} K_1 (V_1 - V_{Tz})^2$$

μ : キャリア移動度

C_{ox} : ゲート酸化膜の単位面積当たりの容量

K₁ : トリミング用冗長メモリアレイ108の出力によりオンしているスイッチングトランジスタ208に接続されている定電流トランジスタ207のwidth/Lengthの和

V₁ : トリミング回路出力電圧

V_{Tz} : スイッチングトランジスタ208のしきい値電圧と示される。

【0041】次に、定電流回路202に流れる電流I₂は、

$$I_2 = I_1 = \mu C_{ox} K_2 (V_1 - V_{Tz})^2$$

K₂ : トランジスタ213のwidth/Lengthの比

V_{Tz} : トランジスタ213のしきい値電圧

V_{Tz} = V_{Tz} とすると、

$$I_2 = (K_2 / K_1) \cdot I_1$$

定電流回路202の出力電圧V₂が定電圧回路204の出力電圧V₃と等しくなる時に容量206にチャージアップされる電荷量をQ、チャージアップにかかる時間をTとすると、

$$T = Q / I_2 = (K_1 Q) / (K_2 I_1)$$

ここで、K₁は定数、I₁は定電流、Qは一定値であるので、時間TはK₁に比例する。

【0042】あるK₁の値をK_{1REF}とし、その時間TをT_{REF}とすると、

$$T_{REF} = (Q / (K_2 I_1)) \cdot K_{1REF}$$

$$\therefore Q / (K_2 I_1) = T_{REF} / K_{1REF}$$

これにより、

$$T = (K_1 / K_{1REF}) \cdot T_{REF}$$

K_{1REF}に対するK₁の値をトリミングで変更することにより時間Tを設定できる。

【0043】本発明では、初めに任意のK_{1REF}をトリミングで設定し、その時の時間T_{REF}を計測してから改めてK₁を設定することで目的の書き込み時間をトリミングで設定することができる。また、本発明のトリミング方法ならば、デバイスごとにT_{REF}を測定してトリミングを行うので、デバイス間のプロセスバラメータによるバラツキを完全に抑えることができるという利点がある。

【0044】図3に、本発明の構成のうちタイマー回路及びタイミング回路に係る第2の実施例を示す。本実施例はタイミング回路205をカレントミラー回路で構成される定電圧回路202に直接接続した例で図2の実施例の定電圧回路201は、省略して示してある。

【0045】定電圧回路の出力電圧により駆動される複数の並列に接続された定電流トランジスタ207がカレントミラー回路に接続され、さらに複数の定電流トランジスタ207のおのおのにスイッチングトランジスタ208が直列に接続されたタイミング回路205を構成しており、第1の実施例同様にトリミング用冗長メモリア

50

レイ108のデータにより、書き込み時間が設定される。

【0046】このとき、定電圧回路201は同様にトリミングされてもされなくても良い。図4に、本発明の構成のうちタイマー回路及びトリミング回路に係る第3の実施例を示す。本実施例はトリミング回路205をカレントミラー回路で構成される定電流圧回路202に接続された容量206に直接接続した例で、図2の実施例の定電圧回路201は、省略して示してある。このように容量206をトリミングする構成にしても所定の書き込み時間を設定できる。

【0047】図5に、本発明の構成のうちタイマー回路及びトリミング回路に係る第4の実施例を示す。本実施例はトリミング回路205を定電流圧回路202の構成要素であるカレントミラー回路に直接接続した例で、図2の実施例の定電圧回路201は、省略して示してある。このようにカレントミラー回路のPMOSトランジスタ212をトリミングする構成にしても所定の書き込み時間を設定できる。

【0048】また図示はしていないが、電圧比較を行うコンバレータ203に接続されている基準電圧発生回路としての定電圧回路204を同様にトリミングしても所定の書き込み時間を設定できる。図6に本発明のトリミング用冗長メモリアレイの実施例を示す。トリミング用冗長メモリアレイ108として、不発性メモリアレイ107のロウを一行追加している。このような構成にすることにより、トリミング用冗長メモリアレイ108を容易に追加することができる。また、アドレスデコーダ104の構成も、トリミング用冗長メモリアレイ108に対応するロウデコーダを一行追加するだけで済むので、回路の追加も容易である。

【0049】図7は本発明のキャリブレーション動作に係る実施例で、シリアルインターフェースEEPROMの書き込み動作時の入力信号のシーケンスである。シーケンスAは電源電圧が投入されてから待機状態である期間TAを経て通常動作が可能な状態になる。待機状態期間T_cの後に前記EEPROMの命令コード（以下インストラクションと称す。）が期間T_eにおいて入力され、次に当該メモリを選択するためのアドレスが期間T_aにおいて入力され、次に当該メモリに書き込むデータが期間TDにおいて順次入力される。

【0050】期間T_cから期間T_eまでは冗長メモリ以外の当該アドレスのメモリにデータを書き込むためのシーケンスである。ここで、期間T_cから期間T_eの通常動作と同時に冗長メモリ内のコード化されたトリミング情報であるトリミングデータを読み出す時間である期間T_dと読み出したトリミングデータをトリミング回路へ送る期間である期間T_fがそれぞれ期間T_aと期間T_bと並列動作する。

【0051】このときの内部信号の流れを図1に基づい

て以下に示す。前記期間T_cで実メモリアレイへのデータ書き込みのインストラクションを認識すると、シリアルクロック制御回路101には期間T_cでアドレスが入力される。この間に期間T_d直後に冗長メモリ制御回路102の出力信号S_aは命令コードデコード回路103に与えられ、シリアルクロック制御回路内では冗長メモリアレイ108を選択する信号が発生する。そしてシリアルクロック制御回路101の出力信号S_bは前述した冗長メモリアレイ108を選択する信号となる。

【0052】したがって期間T_cで入力されるアドレスに関係なく冗長メモリアレイ108が期間T_cで選択され、トリミングデータが読み出される。次に前記シリアルクロック制御回路101には期間T_cで実メモリアレイ内の不揮発性メモリ素子に書き込むためのデータが入力される。

【0053】この間に前記期間T_cで読み出された冗長メモリアレイ108の出力信号S_aは、データ読み出し回路109で読み出した後、期間T_cで出力信号S_bとしてトリミング回路110に入力される。ここで出力制御回路113の出力信号S_cは出力バッファーリンク114を活性化させないため、トリミングデータは出力端子へは出力されない。

【0054】このように前記期間T_c及び期間T_dは期間T_cおよび期間T_dとは関係なく並列動作しているため、期間T_cから期間T_dの通常動作と並列に期間T_cおよび期間T_dで冗長メモリアレイ108に記憶されているデータを読み取り、トリミングすることができる。また前述した一連の動作は前記期間T_cでインストラクションを認識した後に実行されるため冗長メモリアレイ108に記憶されているデータは安定的に読み出すことができる。

【0055】また本実施例では、EEPROMの書き込み動作時の書き込み時間をトリミングする方法を示したが、本発明はこれに限定されるものではなく、EEPROMの書き込み動作時の他の回路や、読み出し動作時にも適用できる。また、EEPROMを構成要素の一部として搭載する半導体集積回路装置や、他の不揮発性メモリ素子を搭載する半導体集積回路装置すべてにおいて、トリミング回路を有する場合は適用可能である。

【0056】図8は、本発明によるシリアルインターフェイスEEPROMとCPUを接続したシステムの実施例を示すブロック図である。本発明によるEEPROMデバイスは、トリミングデータを冗長メモリから読み出すための読み出し動作を通常の動作と並列に行うようすることで、専用のサイクルによるトリミングデータの読み出し動作をなくしているため、CPUのマイクロプログラムの負荷を軽減することができる。

【0057】また、トリミングデータを冗長メモリから読み出す動作が、インストラクションを認識した後に実行されるため、電源電圧が安定した状態で確実にキャリ

プレーション動作を行うことができる。図8の実施例では、2線式のシリアルインターフェイスを例としたが、3線式または4線式でも同様の効果がある。

【0058】

【発明の効果】この発明は、以上説明したように、トリミング回路と、トリミング用冗長メモリアレイとを設け、任意の書き込み時間を設定できるようにしたことで、1ms以下の書き込み時間を保証できる。さらに、トリミングデータを冗長メモリから読み出すための読み出し動作を通常の動作と並列に行うようにすることで、専用のサイクルによるトリミングデータの読み出し動作をなくし、動作を簡素化することで、CPUのマイクロプログラムの負荷を軽減する。また、トリミングデータを冗長メモリから読み出す際にインストラクションを認識した後に実行されるため安定的に読み出すことができる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】本発明のタイマー回路及びトリミング回路に係わる第1の実施例を示す回路図である。

【図3】本発明のタイマー回路及びトリミング回路に係わる第2の実施例を示す回路図である。

【図4】本発明のタイマー回路及びトリミング回路に係わる第3の実施例を示す回路図である。

【図5】本発明のタイマー回路及びトリミング回路に係わる第4の実施例を示す回路図である。

【図6】本発明の実施例を示すトリミング用冗長メモリアレイを含む不揮発性メモリアレイの部分的な回路図である

【図7】本発明における実メモリアレイへのデータ書き込みと冗長メモリアレイからのトリミングデータの読み出しシーケンスである。

【図8】本発明によるシリアルインターフェイスEEPROMとCPUを接続した実施例を示すブロック回路図である。

【図9】従来のEEPROMのデータ書き込み時の動作を示すブロック回路図である。

【図10】従来のEEPROMのタイマー回路のブロック図である。

【図11】従来のキャリブレーションシーケンスである。

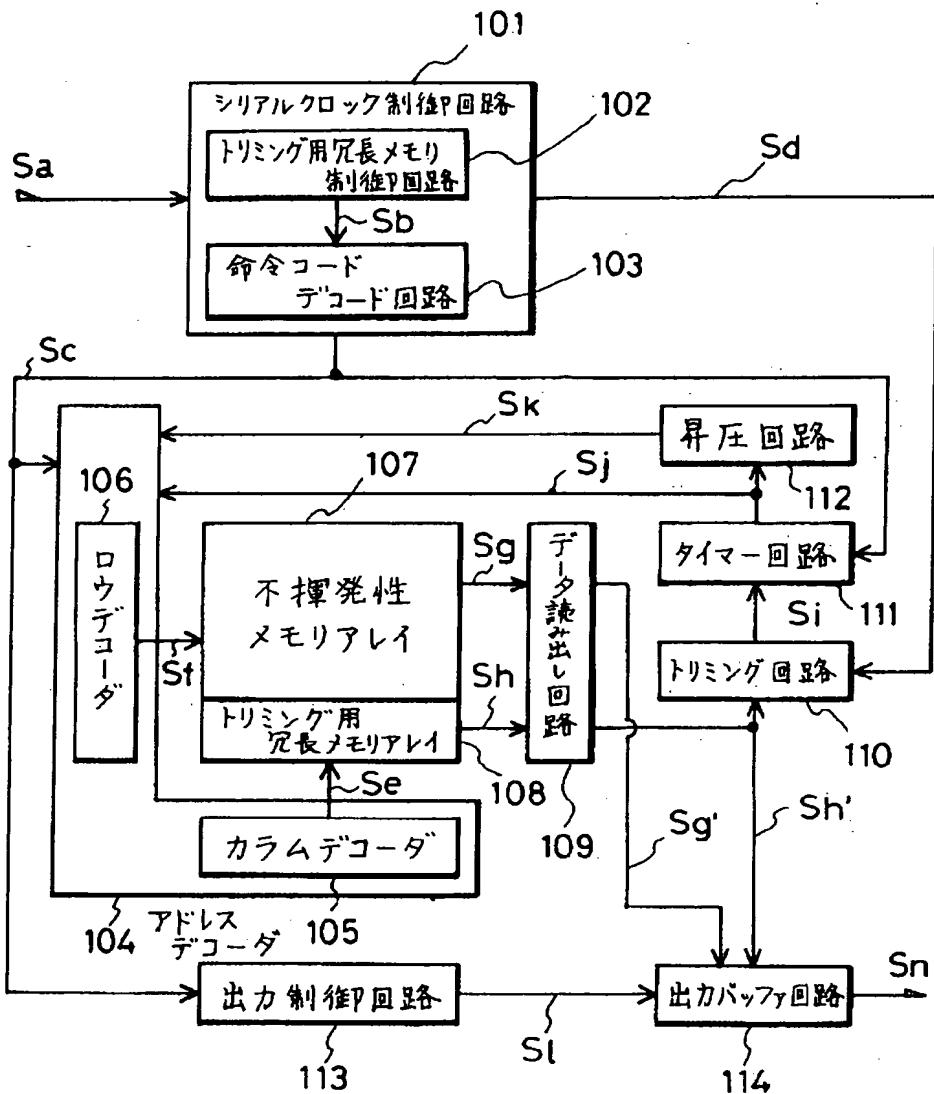
【図12】従来のキャリブレーションシーケンスである。

【符号の説明】

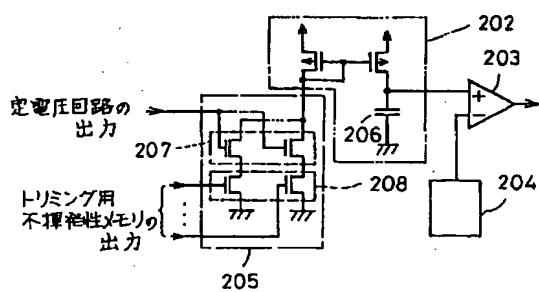
- 101 シリアルクロック制御回路
- 102 トリミング用冗長メモリ制御回路
- 103 命令コードデコード回路
- 104 アドレスデコーダ
- 105 カラムデコーダ

- 106 ロウデコーダ
- 107 不揮発性メモリアレイ（実メモリアレイ）
- 108 冗長メモリアレイ
- 109 データ読み出し回路
- 110 トリミング回路
- 111、901 タイマー回路
- 112、902 昇圧回路
- 113 出力制御回路
- 114 出力バッファ回路
- 10 201、1004 定電圧回路
- 202 定電流回路
- 203、1002 コンバレータ
- 204 基準電圧用定電圧回路
- 205 トリミング回路
- 206 容量
- 207 定電流トランジスタ
- 208 トリミング用スイッチングトランジスタ
- 209、210 スイッチングトランジスタ
- 211、212、213 カレントミラー回路を構成するトランジスタ
- 601 ワード線
- 602 センストランジスタ
- 603 セレクトゲートトランジスタ
- 604 不揮発性メモリセルトランジスタ
- 605 センス線
- 606 ピット線
- 607 ソース線
- 801 CPU
- 802 シリアルインターフェイスEEPROM
- 30 803 シリアルクロック信号線
- 804 シリアルデータ信号線
- 903 アドレスデコーダ
- 904 不揮発性メモリアレイ
- 1001 定電流回路（電荷蓄積用の容量を含む）
- 1003 基準電圧発生用の定電圧回路
- S₁ 入力信号
- S₂ トリミング用冗長メモリ制御回路出力信号
- S₃ シリアルクロック制御回路出力信号
- S₄ ダイレクトトリミング信号
- 40 S₅ カラムデコーダ出力信号
- S₆ ロウデコーダ出力信号
- S₇ 通常メモリ出力信号
- S₈、S₉ 冗長メモリ出力信号
- S₁₀ トリミング信号
- S₁₁ 書き込み時間制御信号
- S₁₂ 書き込み用高電圧信号
- S₁₃ 出力制御回路出力信号
- S₁₄ 出力信号

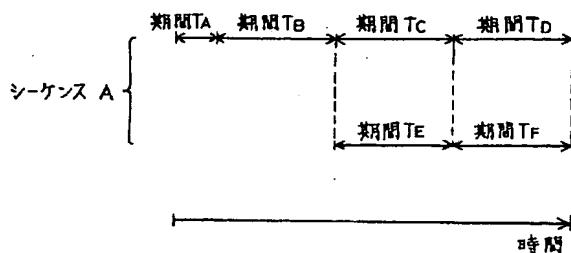
【図1】



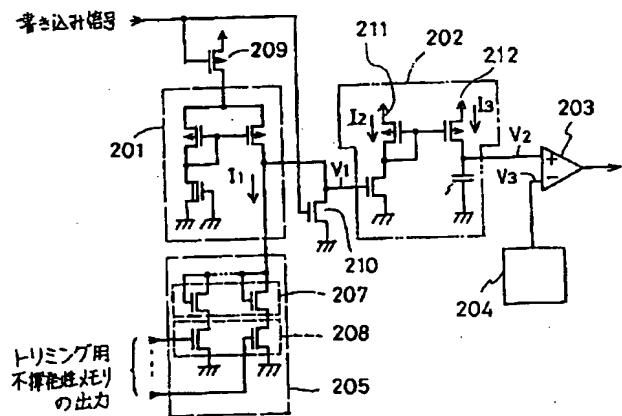
【図3】



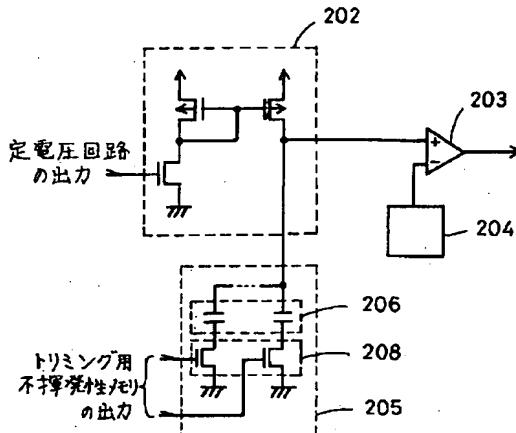
【図7】



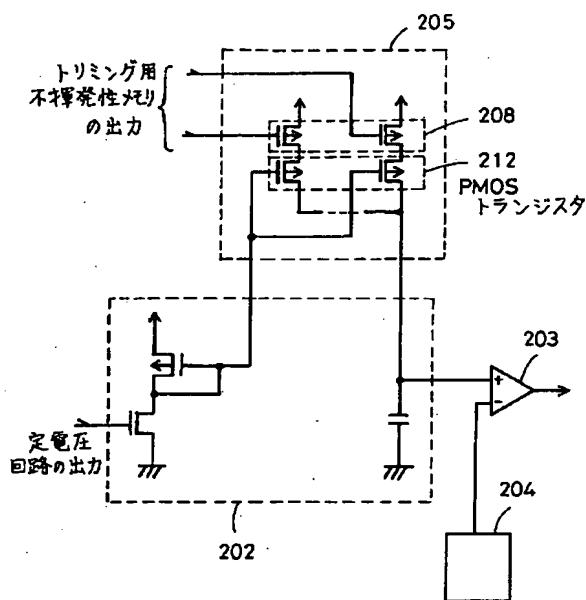
【図2】



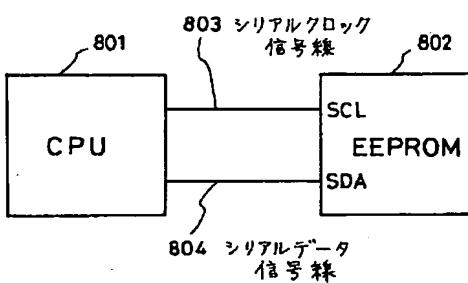
【図4】



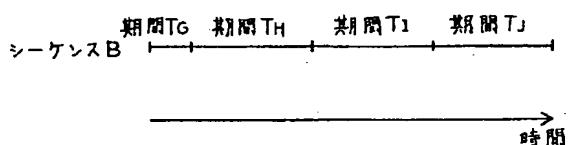
【図5】



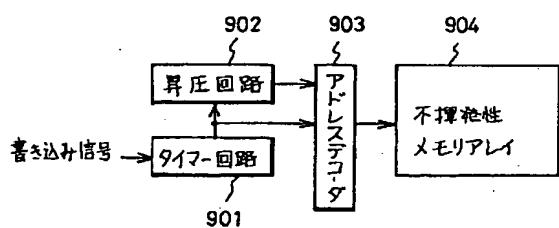
【図8】



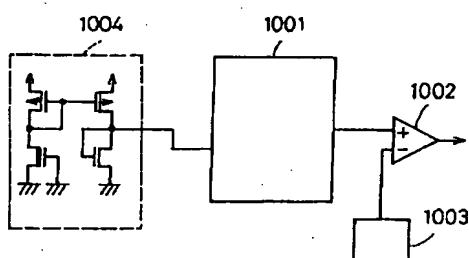
【図11】



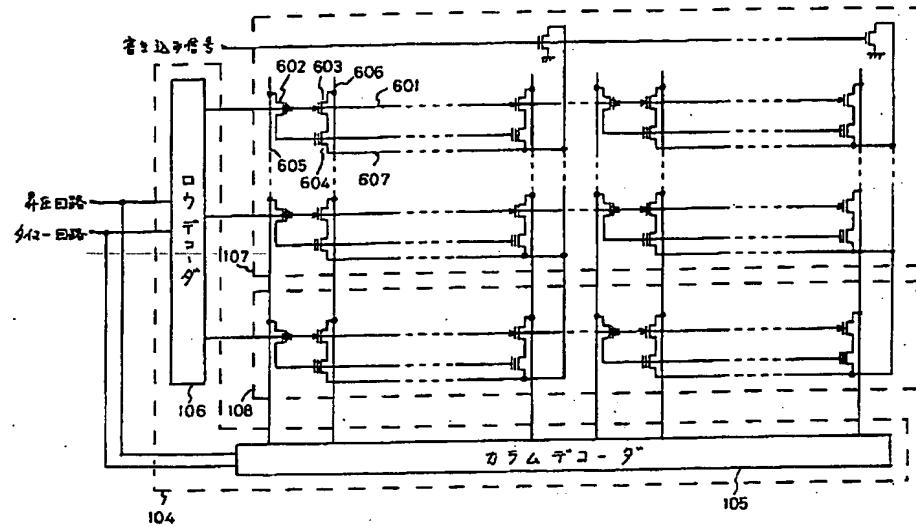
【図9】



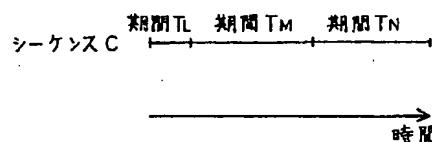
【図10】



【図6】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.